

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-242225

(P2000-242225A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーム(参考)
G 0 9 G 3/28		G 0 9 G 3/28	J 5 C 0 8 0
3/20	6 1 1	3/20	6 1 1 A
	6 2 1		6 2 1 G

審査請求 有 請求項の数12 O L (全 24 頁)

(21) 出願番号 特願平11-42109

(22) 出願日 平成11年2月19日(1999.2.19)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 藤倉 克之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100096231

弁理士 稲垣 清

Fターム(参考) 5C080 AA05 BB06 CC03 DD26 EE29

FF07 FF12 GG12 HH02 HH04

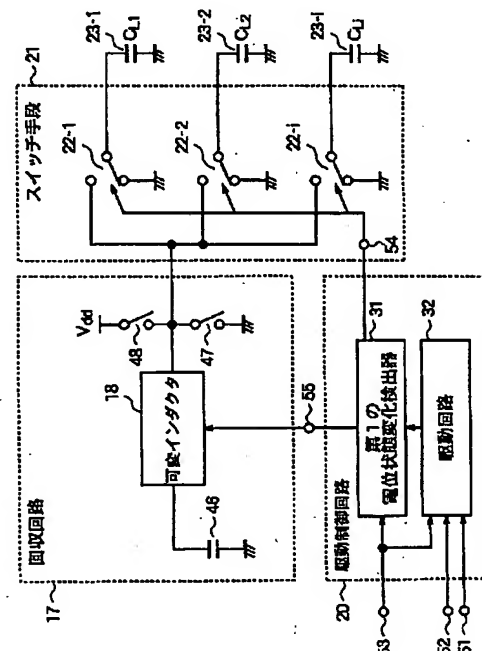
JJ02 JJ03 JJ04

(54) 【発明の名称】 プラズマディスプレイパネルの駆動装置及び駆動方法

(57) 【要約】

【課題】 静電エネルギーが回収開始と同時に別のデータ電極の寄生容量に再配分されて電力消費が発生する不都合を回避できるプラズマディスプレイパネルの駆動装置を提供する。

【解決手段】 プラズマディスプレイパネルの駆動装置は、相互に直列に接続される可変インダクタ18及び回収/供給用キャパシタ46と、走査信号に応答し、列方向に並ぶデータ電極102の内、表示信号の変化によって蓄積された静電エネルギーが変化するデータ電極102のみを可変インダクタ18及び回収/供給用キャパシタ46に選択的に接続する複数のスイッチ22-1～22-iとを備えている。



## 【特許請求の範囲】

【請求項1】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、

相互に直列に接続されるインダクタ及びキャパシタと、走査信号にตอบสนองし、列方向に並ぶデータ電極の内、表示信号の変化によって蓄積された静電エネルギーが変化するデータ電極のみを前記インダクタ及びキャパシタに選択的に接続する複数のスイッチとを備えることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項2】 前記インダクタを可変インダクタによって構成し、前記複数のスイッチの内前記インダクタ及びキャパシタに選択的に接続したスイッチ数に従って、前記可変インダクタのインダクタンス値を設定するインダクタ制御手段を更に備えることを特徴とする請求項1に記載のプラズマディスプレイパネルの駆動装置。

【請求項3】 前記インダクタ制御手段は、データが変化する1の列のデータ電極に隣接する列のデータ電極の電位変化を検出し、前記1の列のデータ電極及び隣接する列のデータ電極の検出結果に基づいて前記インダクタンス値を設定する隣接電極検出手段を含むことを特徴とする請求項2に記載のプラズマディスプレイパネルの駆動装置。

【請求項4】 前記キャパシタは、前記インダクタを介して前記データ電極の静電エネルギー回収を行うと共に、前記隣接電極検出手段は、第1の電位から該第1の電位よりも低い第2の電位に変化するデータ電極をエネルギーを回収すべきデータ電極として、前記第2の電位から第1の電位に変化するデータ電極を回収した静電エネルギーを供給すべきデータ電極として、電位状態が変化しないデータ電極を静電エネルギーの回収及び供給の双方が不要なデータ電極として夫々検出することを特徴とする請求項3に記載のプラズマディスプレイパネルの駆動装置。

【請求項5】 前記キャパシタに回収された静電エネルギーを次回に発光する発光セルに供給するための供給用可変インダクタを更に備えることを特徴とする請求項2乃至4の内の何れか1項に記載のプラズマディスプレイパネルの駆動装置。

【請求項6】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、

蓄積される静電エネルギーが変化する前記データ電極の数を検出し、

前記検出結果に基づいて、検出された前記データ電極に選択的に接続される可変インダクタのインダクタンス値を設定し、

前記設定したインダクタンス値に基づいて、前記可変インダクタを接続したデータ電極の寄生容量から、蓄積された静電エネルギーを回収することを特徴とするプラズマディスプレイパネルの駆動方法。

10 【請求項7】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、

可変インダクタを使用し、前記可変インダクタと前記データ電極との共振を利用して前記複数のデータ電極の静電エネルギーを回収する回路を有し、

20 前記複数の走査電極の選択状態が遷移するときに、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、

前記検出結果に応じて前記可変インダクタのインダクタンス値を変化させ、

前記駆動状態が変化するデータ電極のみから前記静電エネルギーを回収することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項8】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、

可変インダクタを使用し、前記可変インダクタと前記データ電極との共振を利用して前記複数のデータ電極のエネルギーを回収する回路を有し、

前記複数の走査電極の選択状態が遷移するときに、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数と、前記データ電極に隣接するデータ電極の駆動状態変化を検出し、

前記検出結果に応じて前記可変インダクタのインダクタンス値を変化させ、

前記駆動状態が変化するデータ電極のみから前記静電エネルギーを回収することを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項9】 次の走査電極の選択期間に移行した際に、駆動状態が変化する前記データ電極と前記可変インダクタとの共振周波数が変化するのを補償するように前記可変インダクタのインダクタンス値を変化させること

を特徴とする請求項7又は8に記載のプラズマディスプレイパネルの駆動方法。

【請求項10】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、

可変インダクタと、

前記可変インダクタの第2端子に接続された回収容量と、

前記可変インダクタの第1端子と前記複数のデータ電極との間に接続され、前記複数のデータ電極の駆動状態を制御する複数の第1スイッチと、

外部から入力される表示信号により前記複数の第1スイッチの開閉状態を制御し、且つ前記複数のデータ電極の駆動状態変化を検出して検出信号を出力する駆動制御回路とを備え、

次の前記走査電極の選択期間に移行した際に、前記駆動制御回路は任意の前記データ電極における現在及び次の選択期間に対応する表示信号を比較することにより、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、前記駆動制御回路の検出信号により前記可変インダクタのインダクタンス値を変化させることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項11】 相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、

可変インダクタと、

前記可変インダクタの第2端子に接続された回収容量と、

前記可変インダクタの第1端子と前記複数のデータ電極との間に接続され、前記複数のデータ電極の駆動状態を制御する複数の第1スイッチと、

外部から入力される表示信号により前記複数の第1スイッチの開閉状態を制御し、且つ前記複数のデータ電極の駆動状態変化を検出して検出信号を出力する駆動制御回路とを備え、

次の前記走査電極の選択期間に移行した際に、前記駆動制御回路は任意の前記データ電極における現在及び次の選択期間に対応する表示信号を比較することにより、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、

駆動状態が変化する前記データ電極に隣接するデータ電

極における、現在及び次の走査電極の選択期間に対応する同一の前記隣接するデータ電極の表示信号を比較することにより、前記隣接する複数のデータ電極の駆動状態変化を検出し、前記駆動制御回路の検出信号により前記可変インダクタのインダクタンス値を変化させることを特徴とするプラズマディスプレイパネルの駆動装置。

【請求項12】 次の走査電極の選択期間に移行した際に、駆動状態が変化する前記データ電極と前記可変インダクタとの共振周波数が変化するのを補償するように、前記可変インダクタのインダクタンス値を変化させることを特徴とする請求項10又は11に記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネルの駆動回路及び駆動方法に関し、特に、発光時にデータ電極の寄生容量に溜まった静電エネルギーを回収して次の書き込み放電に利用するプラズマディスプレイパネルの駆動装置及び駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネル(Plasma Display Panel: PDP)、液晶ディスプレイ及びエレクトロルミネッセント(EL)等のフラットパネルディスプレイが知られている。近年では、特にPDPの大画面化が進み、40インチ或いは50インチといった、CRT(Cathode Ray Tube)では技術的に極めて困難な画面サイズも出現している。フラットパネルディスプレイは、将来CRTに代わるディスプレイとして大きな期待を集めているが、一方では、CRTに比して高価であり、消費電力が極めて大きいという問題を有する。

【0003】PDPは、マトリクス状に配列された複数の発光セルを有する。発光セルの発光方式は、放電空間(放電ガス)に電極を露出させて直流放電の状態で作動させる直流駆動型(DC型)と、誘電体層に電極を被覆して放電ガスには直接露出させず交流放電の状態で作動させる交流駆動型(AC型)とに分類される。これらの内で、交流駆動型が現在の主流になっている。

【0004】図14は、交流駆動型PDPのパネル及びその駆動回路部分の構成を示したブロック図である。PDPパネル101は、対向する第1ガラス基板と第2ガラス基板とが相互に貼り合わされて封止された構造を有する。第1ガラス基板には、走査電極103とこれと対をなす維持電極104とが夫々L×m本ずつ行方向に配設されている。第2ガラス基板には、画素数に対応したk×n本のデータ電極102が列方向に配設される。現在では、例えば、1024本程度のデータ電極と、768本程度の走査電極とを有する上記構造のPDPが実用化されている。

【0005】発光セルは、データ電極102と走査電極103と維持電極104との各交差部分に形成された空

10

20

30

40

50

間領域に配設されており、隣接する発光セルは隔壁で相互に分離されている。発光セル内には、希ガス等から成る混合ガスが封入されており、電極102~104に電圧が所定の条件で印加されることにより、発光セル内部で放電が起こって発光する。全ての電極102~104は絶縁層によって放電空間から隔絶されており、駆動回路側からみるとデータ電極102、走査電極103及び維持電極104は、寄生容量をもつ容量性負荷となる。交流駆動型では、電極102~104に駆動回路から電荷が充電される過渡状態時にのみ放電が行われる。

【0006】 $k \times n$ 本のデータ電極102には、データドライバ105-1~105-kの出力端子D1~Dknが接続されており、 $L \times m$ 本の走査電極103には走査ドライバ106-1~106-lの出力端子S1~Slが接続されている。 $L \times m$ 本の維持電極104には維持パルス発生器107が接続されており、走査ドライバ106-1~106-lの電源入力端子には切替スイッチ（図示せず）を介して維持パルス発生器107が接続される。

【0007】PDPでは、画像の中間調表示を行うため、画面の1フィールドを複数のサブフィールドに分割して輝度変調を行っている。図15は、図14に示したPDP各部の1サブフィールド期間における駆動波形図である。まず、書込み期間では、走査ドライバ106-1~106-lから各走査電極S1~Slに対して走査パルス信号が順次印加され、これに同期してデータドライバ105-1~105-kからデータ電極D1~Dknに対しデータパルス信号が表示信号として印加される。これにより、各データ電極102と、選択状態にある走査電極103との交点上の発光セルに表示信号が印加され、全ての走査電極103を走査することによって、PDPパネル101の全ての発光セルに表示信号が書き込まれる書込み放電が行われる。データパルス信号の出力駆動電圧VDは、高電位側電源Vdd及び低電位側電源Vss間の2値をとり、各発光セル内では、書き込まれた情報が保持される。出力駆動電圧VDの値は70~100V程度であり、走査パルス信号は-150~-200V程度である。

【0008】次いで、維持期間では、維持パルス発生器107から全ての維持電極104に対して共通の連続した維持パルスが印加される。維持パルスは、-150~-200V程度である。全ての走査電極103に対しては、走査ドライバ106-1~106-lの電源入力端子に接続する切替スイッチ（図示せず）が維持パルス発生器107側に切り換えられることによって、維持パルス発生器107から全走査電極103に対し共通の連続した維持パルスが印加される。但し、走査電極103に印加される維持パルスは、維持電極104に印加されるパルスとは逆位相である。維持期間では、書込み期間でデータ電極102にVddレベルの信号が書き込まれた発光セルのみが放電を生じて発光する。また、連続する維持

パルスの出力数がサブフィールド毎に変化することにより、発光セルの発光回数が増える。このため、視覚的には発光輝度が増したように見え、中間調表示が可能になる。

【0009】更に、予備放電期間では、予備放電パルス及び予備放電消去パルスが全走査電極103及び全維持電極104に印加されることにより、前回のサブフィールドで各発光セルに保持されていたデータパルス信号が消去され、次の1サブフィールド期間に移行する。

10 【0010】上述した一連の動作では、各データ電極102に印加すべき表示信号が、図14に示される範囲の外部から、DAT1~DATnの低電圧ロジック信号としてデータドライバ105-1~105-kに入力される。データドライバ105-1~105-kは、表示信号を直並列変換して、Vdd~GND間の振幅をもつデータパルス信号として出力する。

【0011】図16は、任意のデータ電極におけるデータパルス信号の波形図である。ここでは、説明の簡単化のため、モノクロ表示の場合で説明する。データパルス信号電圧がVddレベル及びGNDレベルの何れであるかは、発光セルに書き込まれる表示信号が発光状態の「Vdd」及び非発光状態の「GND」の何れであるかで決定され、その出現パターンは画像信号によって様々である。Twは1ラインの走査電極が選択される期間に相当し、その値は約3 $\mu$ secである。立上がり及び立下がり時間tr、tfが長くなると、PDPの発光セルの放電が不安定になって正常な信号書込みが困難になる。この現象を防ぐため、立上がり時間tr及び立下がり時間tfを夫々、約400nsec以内にすることが必要である。

30 【0012】上述したPDPの動作では、各電極を駆動するために必要なエネルギーとして、発光セルの放電発光による電流分と、電極に寄生する静電容量の充放電分とが存在する。これらの内、寄生容量の充放電分による静電エネルギーの割合が大きく、これを低減することはPDPの低消費電力化に大きく寄与する。そこで、PDPでは、寄生容量の充放電時の静電エネルギーを回収する構造の駆動回路を用いている。

【0013】上記駆動回路の一例が、特開昭63-101897公報に記載されている。図17は、この公報に記載のエネルギー回収機能を有するディスプレイ駆動回路を示す回路図である。

40 【0014】上記ディスプレイ駆動回路は、任意の負荷容量から充放電エネルギー（静電エネルギー）を回収するためのスイッチ手段21と、回収回路17とを備える。スイッチ手段21に接続する負荷容量23-1~23-nは、PDPにおけるデータ電極の寄生容量に相当する。スイッチ手段21は、「Vdd」及び「GND」の出現パターンが各選択時に変化するデータ電極から静電エネルギーを回収する際には必要であるが、発光時に共通のパルスが印加される走査電極103及び維持電極1

04に対しては不要である。

【0015】回収回路17は、駆動出力電圧をV<sub>dd</sub>又はGNDレベルに保持するためのスイッチ48、47を有する。回収回路17は更に、インダクタ41、ダイオード42、44、スイッチ43、45及び回収容量46を有し、これらの要素からエネルギー回収回路が構成される。選択されたデータ電極から回収された静電エネルギーは、回収/供給用キャパシタ46に蓄積され、次の駆動タイミングで別の電極に供給され再利用される。なお、データ電極のエネルギー回収が行われる場合に、選択されるデータ電極は少なくとも数100本以上存在する。このため、通常1本のデータ電極に対し1個のエネルギー回収回路が用いられるのではなく、複数本のデータ電極に対して1個のエネルギー回収回路が用いられて、効率化が図られる。

【0016】図18は、図17に示した従来のディスプレイ駆動回路における静電エネルギーの回収動作時の波形図である。横軸は時間の流れ、縦軸は電圧の変化を示す。

【0017】時刻 $t_0$ では、スイッチ手段21のスイッチ22-1〜22-iをインダクタ41側に切り換え且つスイッチ43をオンとすると、負荷容量23-1〜23-iに\*

\*蓄積されていた静電エネルギーがインダクタ41、ダイオード42及びスイッチ43を経由して回収/供給用キャパシタ46に回収される。このとき、負荷容量23-1〜23-i、回収/供給用キャパシタ46及びインダクタ41によって共振回路が形成される。このため、負荷容量23-1〜23-iの電圧エネルギーがインダクタ41に電流エネルギーとして移送され、共振による回収電流 $I_L$ が流れる。

【0018】時刻 $t_1$ では、負荷容量23-1〜23-iの電圧 $V_{out}$ が回収/供給用キャパシタ46の電圧 $V_{ct}$ に等しくなり、このとき回収電流 $I_L$ は最大になる。時刻 $t_2$ では、負荷容量23-1〜23-iに蓄積されていた静電エネルギーが全て回収/供給用キャパシタ46に移送される。時刻 $t_2$ 以降では、ダイオード42がブロッキングするので、回収電流 $I_L$ が逆方向に流れることはなく、従って、図18に示す半波整流波形となる。

【0019】このとき、負荷容量23-1〜23-iの静電容量を $C_L$ 、インダクタ41のインダクタンス値を $L$ 、回収電流経路における全抵抗分を $R$ とすると、静電エネルギーの回収に必要な時間 $T$ は次式(1)で表される。

【0020】

【数1】

$$T = \pi \cdot \sqrt{\{1 / (L \cdot C_L) - (R / 2L)^2\}} \\ \approx \pi \cdot \sqrt{(L \cdot C_L)} \quad \dots\dots (1)$$

【0021】時間 $T$ が、前述したデータパルス信号の立上がり時間 $t_r$ と立下がり時間 $t_f$ とを決定する。実際のPDP装置の設計では、 $T < 400$  nsecとなるように $L$ 及び $C_L$ を設定し、回収動作を開始してから400 nsecとなった時点でエネルギー回収動作を打ち切り、負荷容量23-1〜23-iの電圧をV<sub>dd</sub>またはGNDに保持する動作に移行させる。

【0022】ところで、上述の動作説明では、全ての負荷容量23-1〜23-iの静電エネルギーを回収しようとしたが、回収対象となるのは、データ電極の内 $t_0 \rightarrow t_1$ のタイミングでその電圧がV<sub>dd</sub>→GNDに変化するものだけである。従って、PDPの実際の動画表示では、静電エネルギーを回収すべきデータ電極の本数が、1ラインの走査電極を選択する度に常に変化することになる。これは、上記式(1)で $C_L$ が変化することを意味するので、回収に必要な時間 $T$ も1走査ライン毎に変化する。そのため、例えば回収すべきデータ電極の本数が増加すると回収時間 $T$ が長くなり、負荷容量の静電エネルギーを決められた時間内で全て回収することはできず、エネルギー回収効率が低下する。

【0023】一方、回収すべきデータ電極数が減少すると回収時間 $T$ が短くなるので、理想的には、回収すべき全ての負荷容量から静電エネルギーを回収することは可

能である。しかし、回収すべきデータ電極数が減少すると、回収電流 $I_L$ のパルス幅( $T$ に相当)が短くなると、回収回路内部での損失分が次第に大きくなる。これは以下の理由による。PDPのデータ電極駆動電圧は100V近くにも達する。このため、回収回路には高耐圧の接合型スイッチングダイオードが一般に用いられるが、このダイオードは逆回復時間 $t_{rr}$ が比較的長い。従って、パルス幅が短くなるとブロッキングしきれずに、回収電流の多くが逆方向電流として貫通する。これにより、エネルギー回収効率の著しい低下をもたらす。

【0024】図19は、上記回収効率の低下を改善するための従来のディスプレイ駆動回路を示した回路図である。このディスプレイ駆動回路の一例が、特開平10-11015公報に記載されている。

【0025】上記ディスプレイ駆動回路は、スイッチ手段21、回収回路17及び駆動制御回路19を備える。スイッチ手段21における複数のスイッチ22-1〜22-iの第1端子には夫々、データ電極の寄生容量に相当する負荷容量23-1〜23-iが接続され、第2端子はGNDに接続される。スイッチ22-1〜22-iの第3端子は、回収回路17におけるスイッチ47及び48の各第1端子に共通接続される。スイッチ47及び48の接続ノードには、回収回路17における可変インダクタ18

の第1端子が接続される。可変インダクタ18の第2端子にはスイッチ40の第1端子が接続され、スイッチ40の第2端子には回収/供給用キャパシタ46の第1端子が接続される。スイッチ48の第2端子が電源V<sub>dd</sub>に接続され、スイッチ47の第2端子、及び回収/供給用キャパシタ46の第2端子がGNDに接続される。

【0026】上記従来のディスプレイ駆動回路によるエネルギー回収動作では、表示データ信号の状態が決まるスイッチ22-1~22-iの状態、つまり、回収回路17側に閉じているスイッチ22-1~22-iの個数を駆動制御回路19で検出する。更に、その検出結果に従って可変インダクタ18のインダクタンス値を設定する。

【0027】図20は、上記ディスプレイ駆動回路における駆動制御回路19の内部構成を示すブロック図である。駆動制御回路19は、i段のシフトレジスタ1、ラッチ2、及び第1のエンコーダ4を有する。シフトレジスタ1のiビット出力Q<sub>i</sub>~Q<sub>j</sub>はラッチ2に入力され、ラッチ2のiビット出力Y<sub>i</sub>~Y<sub>j</sub>は、出力端子54に出力されると共に第1のエンコーダ4に入力される。第1のエンコーダ4のmビット出力a<sub>1</sub>~a<sub>m</sub>は出力端子55に接続される。

【0028】上記駆動制御回路19では、直列化されたPDPの表示データ信号が入力端子51からシフトレジスタ1に入力され、入力端子52に印加される転送クロック信号の動作タイミングでiビット分シフトされる。シフトの完了後は、入力端子53に印加されるタイミング制御信号によって、そのときの出力Q<sub>i</sub>~Q<sub>j</sub>がラッチ2でラッチされ、ラッチ出力Y<sub>i</sub>~Y<sub>j</sub>に保持される。このラッチ出力保持のタイミングは、走査電極の選択状態が1の走査電極S<sub>i</sub>からS<sub>i+1</sub>に移行したときである。なお、ラッチ出力Y<sub>i</sub>~Y<sub>j</sub>はデータ電極の駆動表示信号に相当し、図19のスイッチ22-1~22-iのオン/オフ状態を制御する。

【0029】一方、エンコーダ4では、ラッチ出力Y<sub>i</sub>~Y<sub>j</sub>が入力されてmビットのバイナリ信号a<sub>1</sub>~a<sub>m</sub>に変換され、図19の可変インダクタ18に入力される。可変インダクタ18では、バイナリ信号a<sub>1</sub>~a<sub>m</sub>の値の大小によってそのインダクタンス値が設定される。

【0030】図21は、上記従来のディスプレイ駆動回路における可変インダクタの一例を示す回路図である。この例では、m個のインダクタ41-1、41-2...41-mが並列に接続され、バイナリ信号a<sub>1</sub>~a<sub>m</sub>によってスイッチ43-1、43-2...43-m、及びスイッチ45-1、45-2...45-mのオン/オフ状態の組合わせが制御される。これにより、インダクタ41-1~41-mの並列接続による合成インダクタンス値が変化する。

【0031】従って、回収回路17側に閉じているスイッチ22-1~22-iの個数が少ない際には、インダクタンス値を大きくすることによって、回収時間Tが必要以上に小さくならないようにすることができる。逆の場合

には、インダクタンス値を小さくすることによって、回収時間Tが必要以上に大きくならないようにすることができる。図中の42-1、42-2...42-m、及び45-1、45-2...45-mは夫々、インダクタ41-1、41-2...41-mを経由する静電エネルギーの流れを制御するダイオードである。

【0032】以上のように、従来のエネルギー回収回路では、エネルギー回収動作時に、現在選択している走査ラインS<sub>i</sub>に対応する発光セルの表示データ信号を参照し、電位状態(駆動状態)が「GND」であるデータ電極数をカウントする。更に、その本数をバイナリコード化した制御信号に従って、可変インダクタのインダクタンス値を決定していた。

【0033】

【発明が解決しようとする課題】しかし、上記従来のディスプレイ駆動回路では以下の問題があった。図22は、マトリクス状に配列された各電極間の静電容量を表した等価回路図である。1本のデータ電極がもつ静電容量C<sub>0</sub>の成分には、走査電極との交差容量成分C<sub>s</sub>、維持電極との交差容量成分C<sub>c</sub>、及び、隣接データ電極相互の静電容量C<sub>d</sub>が存在する。ここで、静電容量(:C<sub>0</sub>)は

$$C_0 = (C_s + C_c) + 2C_d$$

と表される。実際のPDPの表示動作では、任意のデータ電極D<sub>n</sub>の電位状態が次の走査電極に移行して変化するとき、隣接データ電極D<sub>n-1</sub>、D<sub>n+1</sub>の電位状態が同じタイミングでどのように変化するかで、静電容量C<sub>0</sub>の値が下記(a)~(c)のように異なる。

(a) D<sub>n-1</sub>、D<sub>n+1</sub>がD<sub>n</sub>と同極性で変化: C<sub>0</sub> = (C<sub>s</sub> + C<sub>c</sub>)

(b) D<sub>n-1</sub>、D<sub>n+1</sub>が変化しない: C<sub>0</sub> = (C<sub>s</sub> + C<sub>c</sub>) + 2C<sub>d</sub>

(c) D<sub>n-1</sub>、D<sub>n+1</sub>がD<sub>n</sub>と逆極性で変化: C<sub>0</sub> = (C<sub>s</sub> + C<sub>c</sub>) + 4C<sub>d</sub>

【0034】図23は、上記(a)~(c)の各場合におけるPDPの表示パターン説明図である。本例ではD<sub>0</sub>~D<sub>12</sub>の128本のデータ電極に対して1個のエネルギー回収回路を用いることとする。また、走査電極の選択状態がS<sub>i</sub>からS<sub>i+1</sub>に移行するとき、電位状態が「V<sub>dd</sub>」から「GND」に変化する64本のデータ電極からエネルギーを回収する場合を想定する。図23(A)は位置的に連続した64本のデータ電極から回収する場合、同図(B)はデータ電極1本おきに回収し且つその間に位置するデータ電極の電位状態が変化しない場合、同図(C)はデータ電極1本おきに回収し且つその間に位置するデータ電極の電位状態が逆極性で変化する場合を夫々示す。図23(A)~(C)で、斜線を付した部分はGNDレベル、斜線を付さない部分はV<sub>dd</sub>レベルを夫々示す。

【0035】前述のように、従来のエネルギー回収回路では、次ラインで電位状態が「GND」であるデータ電

極数をカウントして静電エネルギーを回収する。このため、図23(A)のような表示パターンで走査電極 $S_{1,1}$ が選択されるときには、本来は回収が不要な $D_{1,1} \sim D_{1,7}$ のデータ電極に対しても回収動作を行うことになる。データ電極 $D_{1,1} \sim D_{1,7}$ は、1ライン前の走査電極 $S_1$ 選択時にも「GND」であり、その寄生容量には既にエネルギーが残存していない。従って、図19の回路を参照して考えると、データ電極 $D_{1,1} \sim D_{1,7}$ の寄生容量に蓄積されていた電荷が、エネルギー回収の開始と同時にデータ電極 $D_{1,1} \sim D_{1,7}$ の寄生容量に再配分される。このとき、スイッチ22-1~22-7の内部抵抗によって電力消費が発生する。

【0036】図23(A)の表示パターンでは、再配分後のデータ電極容量が約2倍となり、このとき再配分前にデータ電極 $D_{1,1} \sim D_{1,7}$ に蓄積されていたエネルギーの半が電力消費によって失われる。このように、従来のディスプレイ駆動回路では、エネルギー回収時に、電位状態が「GND」であるデータ電極数を単純に計算し、その結果をエンコードして可変インダクタ18のインダクタンス値を求めていた。このため、電位状態が変化するデータ電極の本数を正確に求めることができなかった。

【0037】次に、図23(A)~(C)で、隣接するデータ電極の表示パターンが変化する場合を考える。実際のPDPにおけるデータ電極の容量成分の値は、 $C_s$ 、 $C_c$ 、 $C_d$ が全て10数pF程度である。この場合、(A)~(C)における64本のデータ電極におけるエネルギー回収時の静電容量 $C_{eq}$ は夫々、約2nF、約3nF、約5nFとなり、表示パターンによっては、回収すべきデータ電極容量が、2.5倍も異なる。しかし、従来のディスプレイ駆動回路では、静電エネルギーを回収すべきデータ電極のみに注目して可変インダクタ18のインダクタンス値を設定していたため、最適なインダクタンス値を得ることができず、エネルギー回収効率が低下していた。

【0038】本発明は、上記に鑑み、静電エネルギーが回収開始と同時に別のデータ電極の寄生容量に再配分されて電力消費が発生する不都合を回避できるプラズマディスプレイパネルの駆動装置を提供することを目的とする。

【0039】本発明は、上記目的を達成した上で、可変インダクタに最適なインダクタンス値を設定することができ、寄生容量の充放電による静電エネルギーをより効果的に回収し、PDPの低消費電力化に大きく寄与することができるプラズマディスプレイパネルの駆動装置及び駆動方法を提供することを目的とする。

【0040】

【課題を解決するための手段】上記目的を達成するために、本発明のプラズマディスプレイパネルの駆動装置は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ

電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、相互に直列に接続されるインダクタ及びキャパシタと、走査信号にตอบสนองし、列方向に並ぶデータ電極の内、表示信号の変化によって蓄積された静電エネルギーが変化するデータ電極のみを前記インダクタ及びキャパシタに選択的に接続する複数のスイッチとを備えることを特徴とする。

10 【0041】本発明のプラズマディスプレイパネルの駆動装置では、発光によって電位状態が変化するデータ電極の数を正確に検出し、検出されたデータ電極にのみインダクタ及びキャパシタを接続することができるので、静電エネルギーが回収開始と同時に別のデータ電極の寄生容量に再配分されるような不都合を回避することができる。

【0042】ここで、前記インダクタを可変インダクタによって構成し、前記複数のスイッチの内前記インダクタ及びキャパシタに選択的に接続したスイッチ数に従って、前記可変インダクタのインダクタンス値を設定するインダクタ制御手段を更に備えることが好ましい。この場合、インダクタ制御手段可変によって可変インダクタに最適なインダクタンス値を設定することができるので、寄生容量の充放電による静電エネルギーをより効果的に回収して、PDPの低消費電力化に大きく寄与することができる。

【0043】また、前記インダクタ制御手段は、データが変化する1の列のデータ電極に隣接する列のデータ電極の電位変化を検出し、前記1の列のデータ電極及び隣接する列のデータ電極の検出結果に基づいて前記インダクタンス値を設定する隣接電極検出手段を含むことが好ましい。この場合、次の1走査ラインに選択状態が移行した際に、1のデータ電極の電位変化に加えて隣接する別のデータ電極の電位変化をも検出でき、双方の検出結果を総合した上で、対象となるデータ電極の全容量値を求め、インダクタンス値を補償することができる。これにより、PDPの走査電極1ライン毎の画像表示パターンがどのように変化した場合でも、エネルギー回収効率を向上させることができる。

40 【0044】更に好ましくは、前記キャパシタは、前記インダクタを介して前記データ電極の静電エネルギー回収を行うと共に、前記隣接電極検出手段は、第1の電位から該第1の電位よりも低い第2の電位に変化するデータ電極をエネルギーを回収すべきデータ電極として、前記第2の電位から第1の電位に変化するデータ電極を回収した静電エネルギーを供給すべきデータ電極として、電位状態が変化しないデータ電極を静電エネルギーの回収及び供給の双方が不要なデータ電極として夫々検出する。この場合、静電エネルギーを回収すべきデータ電極の検出精度が向上する。

【0045】また、前記キャパシタに回収された静電エネルギーを次回に発光する発光セルに供給するための供給用可変インダクタを更に備えることが好ましい。この場合、静電エネルギーの回収/再利用動作を同時進行的に行うことができるので、各動作に対する割当て時間が増大する。これにより、同程度の静電エネルギーを回収/再利用する際に流れるピーク電流を低減できるので、回収/再利用経路における抵抗成分によるエネルギー損失をより低減することができる。

【0046】本発明のプラズマディスプレイパネルの駆動方法は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、蓄積される静電エネルギーが変化する前記データ電極の数を検出し、前記検出結果に基づいて、検出された前記データ電極に選択的に接続される可変インダクタのインダクタンス値を設定し、前記設定したインダクタンス値に基づいて、前記可変インダクタを接続したデータ電極の寄生容量から、蓄積された静電エネルギーを回収することを特徴とする。

【0047】本発明のプラズマディスプレイパネルの駆動方法では、例えば、VddレベルからGNDレベルに実際に変化するデータ電極数を検出することによって、負荷容量値の変化を正確に検出することができる。これにより、適正なインダクタンス値を可変インダクタに設定し、寄生容量の充放電による静電エネルギーをより効果的に回収することができる。

【0048】本発明のプラズマディスプレイパネルを駆動する駆動方法は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、可変インダクタを使用し、前記可変インダクタと前記データ電極との共振を利用して前記複数のデータ電極の静電エネルギーを回収する回路を有し、前記複数の走査電極の選択状態が遷移するときに、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、前記検出結果に応じて前記可変インダクタのインダクタンス値を変化させ、前記駆動状態が変化するデータ電極のみから前記静電エネルギーを回収することを特徴とする。

【0049】本発明のプラズマディスプレイパネルの駆動方法では、駆動状態が変化するデータ電極のみから静電エネルギーを回収することができるので、静電エネルギーが回収開始と同時に別のデータ電極の寄生容量に再

配分されるような不都合を回避することができる。

【0050】本発明のプラズマディスプレイパネルを駆動する駆動方法は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動方法において、可変インダクタを使用し、前記可変インダクタと前記データ電極との共振を利用して前記複数のデータ電極のエネルギーを回収する回路を有し、前記複数の走査電極の選択状態が遷移するときに、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数と、前記データ電極に隣接するデータ電極の駆動状態変化を検出し、前記検出結果に応じて前記可変インダクタのインダクタンス値を変化させ、前記駆動状態が変化するデータ電極のみから前記静電エネルギーを回収することを特徴とする。

【0051】本発明のプラズマディスプレイパネルの駆動方法では、複数の走査電極の選択状態が遷移するときに、1のデータ電極の駆動状態の変化に加えてその隣接する別のデータ電極の駆動状態の変化をも検出でき、双方の検出結果を総合した上で、対象となるデータ電極の全容量値を求めてインダクタンス値を補償しつつ、静電エネルギーを効率良く回収することができる。

【0052】また、次の走査電極の選択期間に移行した際に、駆動状態が変化する前記データ電極と前記可変インダクタとの共振周波数が変化するのを補償するように前記可変インダクタのインダクタンス値を変化させることが好ましい。

【0053】本発明のプラズマディスプレイパネルの駆動装置は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、可変インダクタと、前記可変インダクタの第2端子に接続された回収容量と、前記可変インダクタの第1端子と前記複数のデータ電極との間に接続され、前記複数のデータ電極の駆動状態を制御する複数の第1スイッチと、外部から入力される表示信号により前記複数の第1スイッチの開閉状態を制御し、且つ前記複数のデータ電極の駆動状態変化を検出して検出信号を出力する駆動制御回路とを備え、次の前記走査電極の選択期間に移行した際に、前記駆動制御回路は任意の前記データ電極における現在及び次の選択期間に対応する表示信号を比較することにより、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、前記駆動制御回路の検出信号により前記可変インダクタのインダクタンス値を

変化させることを特徴とする。

【0054】本発明のプラズマディスプレイパネルの駆動装置では、発光によって駆動状態が変化するデータ電極の数を正確に検出し、検出されたデータ電極にのみインダクタ及びキャパシタを接続することができるので、静電エネルギーが回収開始と同時に別のデータ電極の寄生容量に再配分されるような不都合を回避することができる。

【0055】本発明のプラズマディスプレイパネルの駆動装置は、相互に対向する第1及び第2基板と、前記第1基板上に行方向に配設された複数の走査電極及び維持電極と、前記第2基板上に列方向に配設された複数のデータ電極と、前記走査電極及び維持電極と前記データ電極との各交差部分に配設された発光セルとを備えたプラズマディスプレイパネルを駆動する駆動装置において、可変インダクタと、前記可変インダクタの第2端子に接続された回収容量と、前記可変インダクタの第1端子と前記複数のデータ電極との間に接続され、前記複数のデータ電極の駆動状態を制御する複数の第1スイッチと、外部から入力される表示信号により前記複数の第1スイッチの開閉状態を制御し、且つ前記複数のデータ電極の駆動状態変化を検出して検出信号を出力する駆動制御回路とを備え、次の前記走査電極の選択期間に移行した際に、前記駆動制御回路は任意の前記データ電極における現在及び次の選択期間に対応する表示信号を比較することにより、前記複数のデータ電極の中で駆動状態が変化するデータ電極の本数を検出し、駆動状態が変化する前記データ電極に隣接するデータ電極における、現在及び次の走査電極の選択期間に対応する同一の前記隣接するデータ電極の表示信号を比較することにより、前記隣接する複数のデータ電極の駆動状態変化を検出し、前記駆動制御回路の検出信号により前記可変インダクタのインダクタンス値を変化させることを特徴とする。

【0056】本発明のプラズマディスプレイパネルの駆動装置は、可変インダクタに最適なインダクタンス値を設定することができ、寄生容量の充放電による静電エネルギーをより効果的に回収することができる。

【0057】好ましくは、次の走査電極の選択期間に移行した際に、駆動状態が変化する前記データ電極と前記可変インダクタとの共振周波数が増加するのを補償するように、前記可変インダクタのインダクタンス値を変化させる。

【0058】

【発明の実施の形態】図面を参照して本発明を更に詳細に説明する。図1は、本発明の第1実施形態例におけるディスプレイ駆動回路の構成を示す回路図である。このディスプレイ駆動回路は、回収回路17、スイッチ手段21及び駆動制御回路20を備える。

【0059】スイッチ手段21は、複数のスイッチ22-1〜22-iを有している。スイッチ22-1〜22-iの各

第1端子は夫々、負荷容量23-1〜23-iに接続され、各第2端子はGNDに接続される。スイッチ22-1〜22-iの第3端子は、回収回路17の入出力端子に共通接続される。一般に、スイッチ22-1〜22-iは、データドライバICとして集積化して用いる場合が多い。

【0060】回収回路17は、1つの列に並ぶデータ電極102の負荷容量に選択的に接続される可変インダクタ18及び回収/供給用キャパシタ46と、スイッチ47及び48とから構成される。但し、本実施形態例でスイッチ47は必須ではない。回収回路17の入出力端子には、可変インダクタ18の第1端子と、スイッチ47及び48の各第1端子とが接続されている。スイッチ47及び48の各第2端子は夫々、GND及びV<sub>dd</sub>に接続される。一方、可変インダクタ18の第2端子には回収/供給用キャパシタ46の第1端子が接続されている。回収/供給用キャパシタ46の第2端子はGNDに接続される。可変インダクタ18には、図2.1と同様の構成のものをを用いることができるが、可変インダクタ18は、この構成に限られず、外部からの制御信号によってインダクタンス値が選択できるものであれば他の構成でも良い。

【0061】駆動制御回路20は、駆動回路32と第1の電位状態変化検出器31とから構成される。駆動回路32は、入力端子51、52及び53から夫々入力される表示データ信号、転送クロック信号及びタイミング制御信号に従って動作し、スイッチ手段21におけるスイッチ22-1〜22-iのオン/オフ制御を行う。第1の電位状態変化検出器31は、駆動回路32の出力信号、及び入力端子53からのタイミング制御信号に従って動作し、次の1走査ラインに選択状態が移行するときのデータ電極の電位状態（駆動状態）の変化を検出し、その検出値に対応した可変インダクタ18のインダクタンス値を設定する。

【0062】図2は、図1における駆動制御回路20の内部構成を示したブロック図である。駆動回路32は、i段のシフトレジスタ1及びiビットのラッチ2から構成され、第1の電位状態変化検出器31は、第1の検出器3及び第1のエンコーダ4から構成される。

【0063】i段のシフトレジスタ1の入力端子51及び52には夫々、i本のデータ電極に対応した表示データ信号及び転送クロック信号が入力される。シフトレジスタ1の出力Q<sub>1</sub>〜Q<sub>i</sub>は、ラッチ2及び第1の検出器3に入力される。ラッチ2は、入力端子53に印加されるタイミング制御信号にตอบสนองして、入力Q<sub>1</sub>〜Q<sub>i</sub>をラッチ出力Y<sub>1</sub>〜Y<sub>i</sub>として保持する。出力Y<sub>1</sub>〜Y<sub>i</sub>は、第1の検出器3に入力される。

【0064】第1の検出器3は、電位状態が変化するデータ電極を検出するもので、シフトレジスタ出力Q<sub>1</sub>〜Q<sub>i</sub>及びラッチ出力Y<sub>1</sub>〜Y<sub>i</sub>を入力信号として論理演算処理を行い、検出信号A<sub>1</sub>〜A<sub>i</sub>を出力する。検出信号A

$i$ 、 $A_i$ は、第1のエンコーダ4に入力されると共に、出力端子54を経由して図1のスイッチ手段21の各制御端子に入力され、スイッチ22-1~22- $i$ のオン/オフを制御する。このオン/オフ制御によって、蓄積されるエネルギーが変化する(電位状態が変化する)データ電極にのみスイッチ22-1~22- $i$ を選択的に接続することができる。

【0065】第1のエンコーダ4は、検出信号 $A_1 \sim A_n$ をエンコードしてバイナリ信号 $a_1 \sim a_n$ を出力端子55に出力する。バイナリ信号 $a_1 \sim a_n$ は夫々、図21の可変インダクタ18におけるスイッチ43-1~43- $m$ 及び45-1~45- $m$ の制御端子に入力され、そのバイナリコード値に対応して、図21のスイッチ43-1~43- $m$ 及び45-1~45- $m$ のオン/オフの組合わせを夫々選択して、所要のインダクタンス値を設定する。

【0066】上記動作では、入力端子53に印加されるタイミング制御信号は、走査電極 $S_i$ の選択状態の切換え信号と同じ周期で入力される。従って、ラッチ2の出力信号 $Y_1 \sim Y_n$ によりデータ電極の駆動を行っている期間中、シフトレジスタ1内では次の1走査ラインに対応する表示データ信号の転送が行われる。このため、シフトレジスタ1における $i$ 段の転送が完了した時点で、シフトレジスタ出力 $Q_1 \sim Q_n$ とラッチ出力 $Y_1 \sim Y_n$ の内、対応する $i$ 番目の出力 $Q_i$ 及び $Y_i$ を相互に比較することにより、走査電極の選択状態が $S_i$ から $S_{i+1}$ に移行するときに電位状態が変化するデータ電極 $D_i$ を検出することができる。

【0067】本実施形態例では、図21で説明したような1組の可変インダクタを、エネルギー回収及び再利用時に時系列的に切り換えて動作させている。従って、データ電極の電位状態の検出もこの切換え動作に合わせて時系列的に行えば良い。

【0068】図3は、第1の検出器3の論理回路構成の一例を示す回路図である。図中の「黒→白」は非発光から発光への移行を、「白→黒」は発光から非発光への移行を夫々示す。

【0069】第1の検出器3は、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積を出力するゲート62a、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積を出力するゲート63a、及び、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積を出力するゲート62bを有する。第1の検出器3は更に、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積を出力するゲート63b、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積を出力するゲート62i、及び、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積を出力するゲート63iを有する。

【0070】第1の検出器3は、入力端子61からの制御信号に従ってゲート62a又は63aの出力を選択して $A1$ として出力するゲート64a及び65a、制御信号に従ってゲート62b又は63bの出力を選択して $A2$ として出力するゲート64b及び65b、並びに、制

御信号に従ってゲート62i又は63iの出力を選択して $Ai$ として出力するゲート64i及び65iを有する。

【0071】第1の検出器3では、静電エネルギーを回収する際には、入力信号 $Q_i$ 、 $Y_i$ に対して電位状態がVddレベルからGNDレベルに変化するデータ電極の本数を検出すれば良いので、入力端子61に論理“1”の制御信号を入力する。これにより、VddレベルからGNDレベルに変化したデータ電極に対応する検出信号として $A_i = 1$ が出力される。一方、回収した静電エネルギーをデータ電極に供給して再利用する際には、GNDレベルからVddレベルに変化するデータ電極の本数を検出すれば良いので、入力端子61に論理“0”の制御信号を入力することにより、GNDレベルからVddレベルに変化したデータ電極に対応する検出信号として $A_i = 1$ が出力される。

【0072】以上のように、本実施形態例では、データ電極の寄生容量に蓄積された静電エネルギーの回収及び再利用時に、表示データ信号の変化に伴って電位状態が変化するデータ電極のみの本数をカウントすることができ、スイッチ22-1~22- $i$ の内でもオンとなったスイッチ数に従って、可変インダクタ18のインダクタンス値を設定することができる。これにより、エネルギー回収対象となる全てのデータ電極の静電容量値に対応するインダクタンス値を選択し、次の走査電極の選択期間に移行した際に容量性データ電極と可変インダクタ18との共振周波数が変化するのを補償することができる。従って、回収回路17側に閉じているスイッチ22-1~22- $i$ の個数が少ない際には、インダクタンス値を大きくすることによって回収時間が必要以上に短くならないようにできる。また、逆の場合には、インダクタンス値を小さくすることによって、回収時間が必要以上に長くないようにできる。このため、データ電極のエネルギー回収効率が向上する。

【0073】図4は、本発明の第2実施形態例によるディスプレイ駆動回路の構成を示す回路図である。本実施形態におけるディスプレイ駆動回路も、回収回路17、スイッチ手段21及び駆動制御回路20を備える。

【0074】スイッチ手段21は、複数のスイッチ24-1~24- $i$ 、及び25-1~25- $i$ から構成される。スイッチ25-1~25- $i$ の各第1端子が夫々、負荷容量23-1~23- $i$ に接続され、各第2端子がGNDに、各第3端子が電源Vddに接続される。スイッチ24-1~24- $i$ の各第1端子が夫々、スイッチ25-1~25- $i$ の第1端子に接続され、各第2端子が、回収回路17の入力端子である回収用可変インダクタ26の第1端子に共通接続される。スイッチ24-1~24- $i$ の第3端子が夫々、回収回路17の出力端子である供給用可変インダクタ27の第1端子に共通接続される。スイッチ24-1~24- $i$ 及び25-1~25- $i$ は、例えば、データドライバIC

として集積化して用いられる。

【0075】回収回路17は、2つの可変インダクタ26及び27、回収/供給用キャパシタ46、並びに、スイッチ47及び48から構成される。但し、本実施形態例でスイッチ47、48は必須ではない。可変インダクタ26及び27の各第1端子には夫々、スイッチ47及び48の各第1端子が接続される。可変インダクタ26及び27の各第2端子には、回収/供給用キャパシタ46の第1端子が共通接続される。回収/供給用キャパシタ46の第2端子はGNDに接続される。回収用可変インダクタ26として図12に示すもの、供給用可変インダクタ27としては図13に示すものが夫々使用できる。

【0076】図12は、回収用可変インダクタ26の一構成例を示す回路図である。回収用可変インダクタ26は、入力端子26a及び出力端子26bを有し、並列に接続されたインダクタ49-1、49-2...49-mと、インダクタ49-1~49-mに夫々直列にアノード電極が接続されたダイオード42-1、42-2...42-mと、ダイオード42-1~42-mにカソード電極が夫々直列に接続されたスイッチ43-1、43-2...43-mとを有する。

【0077】上記構成の回収用可変インダクタ26では、バイナリ信号 $a_1 \sim a_n$ に従ってスイッチ43-1~43-mがオン/オフ制御されることによって、インダクタ49-1~49-mの並列接続による合成インダクタンス値が選択される。これにより、回収回路側17に閉じているスイッチ24-1~24-iの個数が少ないときには、インダクタンス値を大きくして回収時間が必要以上に短くならないようにし、逆の場合にはインダクタンス値を小さくして回収時間が必要以上に長くならないようにすることができる。

【0078】図13は、供給用可変インダクタ27の一構成例を示す回路図である。供給用可変インダクタ27は、入力端子27a及び出力端子27bを有し、並列に接続されたインダクタ50-1、50-2...50-mと、インダクタ50-1~50-mに夫々直列にカソード電極が接続されたダイオード44-1、44-2...44-mと、ダイオード44-1~44-mのアノード電極に夫々直列に接続されたスイッチ45-1、45-2...45-mとを有する。

【0079】上記構成の供給用可変インダクタ27では、バイナリ信号 $b_1 \sim b_n$ に従ってスイッチ45-1~45-mがオン/オフ制御されることによって、インダクタ50-1~50-mの並列接続による合成インダクタンス値が選択される。可変インダクタ26、27は、上記構成に限られることなく、外部からの制御信号に従ってインダクタンス値が選択できるものであれば良い。

【0080】図4に示すように、駆動制御回路20は、駆動回路32と、第2の電位状態変化検出器33とから構成される。駆動回路32は、入力端子51、52及び

53から夫々入力される表示データ信号、転送クロック信号及びタイミング制御信号に従って動作する。

【0081】第2の電位状態変化検出器33は、駆動回路32の出力信号、及び入力端子53からのタイミング制御信号に従って動作し、出力端子54からスイッチ手段21の各制御端子に制御信号を出力し、スイッチ24-1~24-iのオン/オフを制御する。第2の電位状態変化検出器33は更に、次の1走査ラインに選択状態が移行する際のデータ電極の電位状態の変化を検出し、その検出値に応じた可変インダクタ26及び27の各インダクタンス値の設定制御を行う。

【0082】図5は、図4における駆動制御回路20の内部構成を示したブロック図である。駆動回路32は、i段のシフトレジスタ1とiビットのラッチ2とから構成される。第2の電位状態変化検出器33は、電位状態が変化するデータ電極を検出する第2の検出器5と、第2のエンコーダ6とから構成される。

【0083】i段のシフトレジスタ1の入力端子51及び52には夫々、i本のデータ電極に対応した表示データ信号及び転送クロック信号が入力される。シフトレジスタ1の出力 $Q_1 \sim Q_i$ は、次の1走査ラインの表示データ信号としてラッチ2及び第2の検出器5に入力される。ラッチ2は、入力端子53に印加されるタイミング制御信号に従って、入力 $Q_1 \sim Q_i$ をラッチ出力 $Y_1 \sim Y_i$ として保持する。出力 $Y_1 \sim Y_i$ は、現在の表示データ信号として第2の検出器5に入力される。

【0084】第2の検出器5は、シフトレジスタ出力 $Q_1 \sim Q_i$ 及びラッチ出力 $Y_1 \sim Y_i$ を入力として論理演算処理を行い、検出信号 $A_1 \sim A_i$ 及び $B_1 \sim B_i$ を出力する。検出信号 $A_1 \sim A_i$ 及び $B_1 \sim B_i$ は、出力端子54を経由してスイッチ手段21の各制御端子に入力されて、スイッチ24-1~24-iのオン/オフを制御する。この場合に、検出信号 $A_1 \sim A_i$ は静電エネルギーを回収すべきデータ電極に対応し、検出信号 $B_1 \sim B_i$ は静電エネルギーを供給すべきデータ電極に対応する。

【0085】第2のエンコーダ6は、検出信号 $A_1 \sim A_i$ をエンコードしてバイナリ信号 $a_1 \sim a_n$ として出力端子55に出力し、検出信号 $B_1 \sim B_i$ をエンコードしてバイナリ信号 $b_1 \sim b_n$ として出力端子56に出力する。バイナリ信号 $a_1 \sim a_n$ 及び $b_1 \sim b_n$ は、図12及び図13の可変インダクタ26、27におけるスイッチ43-1~43-m及び45-1~45-mの対応する制御端子に入力される。可変インダクタ26、27では、バイナリコード値にตอบสนองして、スイッチ43-1~43-m及び45-1~45-mのオン/オフの組合わせを夫々選択することにより、所要のインダクタンス値を設定する。

【0086】図6は、第2の検出器5の論理回路構成の一例を示す回路図である。第2の検出器5は、出力 $Y_1$ と出力 $Q_1$ の反転値との論理積をA1として出力するゲート66a、及び、出力 $Y_1$ の反転値と出力 $Q_1$ との論理積

10

20

30

40

50

をB1として出力するゲート67aを有する。第2の検出器5は更に、出力Y<sub>i</sub>と出力Q<sub>i</sub>の反転値との論理積をA2として出力するゲート66b、出力Y<sub>i</sub>の反転値と出力Q<sub>i</sub>との論理積をB2として出力するゲート67b、出力Y<sub>i</sub>と出力Q<sub>i</sub>の反転値との論理積をAiとして出力するゲート66i、及び、出力Y<sub>i</sub>の反転値と出力Q<sub>i</sub>との論理積をBiとして出力するゲート67iを有する。

【0087】上記構成の第2の検出器5では、静電エネルギーを回収すべきデータ電極を検出するために、入力信号Q<sub>i</sub>、Y<sub>i</sub>に対する出力A<sub>1</sub>～A<sub>i</sub>を監視して、電位状態が「Vdd」→「GND」に変化するデータ電極に対応する検出信号としてA<sub>i</sub>=1となるデータ電極の本数を検出する。一方、再利用のために回収した静電エネルギーを供給すべきデータ電極を検出するために、出力B<sub>1</sub>～B<sub>i</sub>を監視して、電位状態が「GND」→「Vdd」に変化するデータ電極に対応する検出信号としてB<sub>i</sub>=1となるデータ電極の本数を検出する。

【0088】第2の検出器5では更に、データ電極から静電エネルギーを回収する際には、検出信号A<sub>1</sub>～A<sub>i</sub>によってスイッチ24-1～24-iのオン/オフを制御し、回収した静電エネルギーをデータ電極に供給する際には、検出信号B<sub>1</sub>～B<sub>i</sub>によってスイッチ24-1～24-iのオン/オフを制御する。このオン/オフ制御により、エネルギー回収時には、VddレベルからGNDレベルに変化するデータ電極の寄生容量にのみスイッチ24-1～24-iを選択的に接続し、エネルギー供給時には、GNDレベルからVddレベルに変化するデータ電極の寄生容量にのみスイッチ24-1～24-iを選択的に接続することができる。

【0089】本実施形態例では、図12及び図13に示したような可変インダクタ26、27を回収回路17に設けることにより、スイッチ手段21と回収回路17との間で静電エネルギーの回収/再利用経路を分離することができる。これにより、静電エネルギーの回収/再利用動作を同時進行的に行うことができるので、各動作に対する割当て時間が大幅に増大する。その結果、同程度の静電エネルギーを回収/再利用する際にも、回収経路17に流れるピーク電流を低減できるので、回収/再利用経路における抵抗成分によるエネルギー損失を一層低減することができる。

【0090】図7は、本発明の第3実施形態例におけるディスプレイ駆動回路の構成を示す回路図である。ディスプレイ駆動回路は、回収回路17、スイッチ手段21及び駆動制御回路16を備える。スイッチ手段21及び回収回路17の各構成は、第2実施形態例と同様であるため、説明を省略する。

【0091】駆動制御回路16は、駆動回路32、第3の電位状態変化検出器34、及び隣接電位状態変化検出器35から構成される。駆動回路32は、入力端子51、52及び53から夫々入力される表示データ信号、

転送クロック信号及びタイミング制御信号に従って動作する。

【0092】第3の電位状態変化検出器34は、駆動回路32の出力信号、及び入力端子53からのタイミング制御信号に従って動作し、出力端子54からスイッチ手段21の各制御端子に制御信号を出力し、スイッチ24-1～24-iのオン/オフを制御する。第3の電位状態変化検出器34は更に、次の1走査ラインに選択状態が移行する際のデータ電極の電位状態の変化を検出する。

【0093】隣接電位状態変化検出器35は、第3の電位状態変化検出器34で検出されたデータ電極に隣接するデータ電極の電位状態の変化を検出し、その検出値と第3の電位状態変化検出器34の検出値とに従って、可変インダクタ26及び27のインダクタンス値の設定制御を行う。

【0094】図8は、図7における駆動制御回路16の内部構成を示したブロック図である。駆動制御回路16で、駆動回路32は、i段のシフトレジスタ1とiビットのラッチ2とから構成される。第3の電位状態変化検出器34は、第3の検出器7と第2のエンコーダ6とから構成される。隣接電位状態変化検出器35は、第4の検出器8、第5の検出器9、第3のエンコーダ10、第4のエンコーダ11、第1の加算器12、及び第2の加算器13から構成される。

【0095】i段のシフトレジスタ1は入力端子51及び52を有し、入力端子51及び52には夫々、i本のデータ電極に対応した表示データ信号及び転送クロック信号が入力される。シフトレジスタ1の出力Q<sub>1</sub>～Q<sub>i</sub>は、次の1走査ラインの表示データ信号としてラッチ2及び第3の検出器7に入力される。ラッチ2は、入力端子53に印加されるタイミング制御信号に従って、入力Q<sub>1</sub>～Q<sub>i</sub>をラッチ出力Y<sub>1</sub>～Y<sub>i</sub>として保持する。現在の表示データ信号としての出力Y<sub>1</sub>～Y<sub>i</sub>は、第3の検出器7に入力される。

【0096】第3の検出器7は、電位状態が変化するデータ電極と変化しないデータ電極とを検出するもので、シフトレジスタ出力Q<sub>1</sub>～Q<sub>i</sub>及びラッチ出力Y<sub>1</sub>～Y<sub>i</sub>を入力信号として論理演算処理を行い、検出信号A<sub>1</sub>～A<sub>i</sub>、B<sub>1</sub>～B<sub>i</sub>及びX<sub>1</sub>～X<sub>i</sub>を出力する。これらの検出信号の中で、A<sub>1</sub>～A<sub>i</sub>及びB<sub>1</sub>～B<sub>i</sub>は、第2のエンコーダ6に入力されると共に、出力端子54を介してスイッチ手段21（図7）の制御端子に入力されて、スイッチ24-1～24-iのオン/オフ制御を行う。第4の検出器8及び第5の検出器9には、検出信号A<sub>1</sub>～A<sub>i</sub>、B<sub>1</sub>～B<sub>i</sub>及びX<sub>1</sub>～X<sub>i</sub>が入力される。

【0097】第4の検出器8は、検出信号A<sub>1</sub>～A<sub>i</sub>、B<sub>1</sub>～B<sub>i</sub>及びX<sub>1</sub>～X<sub>i</sub>を入力信号として論理演算処理を行い、2×(i-1)つまり2i-2個の検出信号E<sub>1,1,1</sub>及びE<sub>1,1,1</sub>、並びに、2i-2個の検出信号F<sub>1,1,1</sub>及びF<sub>1,1,1</sub>を夫々出力する。第5の検出器9は、検出信

号 $A_i \sim A_i$ 、 $B_i \sim B_i$ 、及び $X_i \sim X_i$ を入力信号として論理演算処理を行い、 $2i-2$ 個の検出信号 $G_{i,i-1}$ 及び $G_{i,i-1}$ 、並びに、 $2i-2$ 個の検出信号 $H_{i,i-1}$ 及び $H_{i,i-1}$ を夫々出力する。

【0098】第3のエンコーダ10は、検出信号 $E_{i,i-1}$ 及び $E_{i,i-1}$ 、並びに、 $F_{i,i-1}$ 及び $F_{i,i-1}$ をエンコードしてバイナリ信号 $u_i \sim u_i$ を出力する。第4のエンコーダ11は、検出信号 $G_{i,i-1}$ 及び $G_{i,i-1}$ 、並びに、 $H_{i,i-1}$ 及び $H_{i,i-1}$ をエンコードしてバイナリ信号 $v_i \sim v_i$ を出力する。これらの検出信号 $E$ 、 $F$ 、 $G$ 、 $H$ における $i,i-1$ 及び $i,i-1$ は夫々、 $i$ と $i-1$ との比較結果及び $i$ と $i+1$ との比較結果を示している。

【0099】一方、第2のエンコーダ6は、検出信号 $A_i \sim A_i$ 及び $B_i \sim B_i$ を夫々エンコードしてバイナリ信号 $a_i \sim a_i$ 及び $b_i \sim b_i$ を出力する。第1の加算器12は、バイナリ信号 $u_i \sim u_i$ を第1入力、バイナリ信号 $a_i \sim a_i$ を第2入力として、これらを重み付け加算し、その演算結果を出力端子55に出力する。第2の加算器13は、バイナリ信号 $v_i \sim v_i$ を第1入力、バイナリ信号 $b_i \sim b_i$ を第2入力として、これらを重み付け加算し、その演算結果を出力端子56に出力する。

【0100】出力された上記演算結果は、可変インダクタ26、27（図12、図13）におけるスイッチ43-1~43-m及び45-1~45-mの対応する制御端子に入力される。可変インダクタ26及び27では、バイナリコード値に応じて、スイッチ43-1~43-m及び45-1~45-mのオン/オフの組合わせを夫々選択することにより、所要のインダクタンス値が設定される。

【0101】図9は、第3の検出器7の論理回路構成の一例を示す回路図である。第3の検出器7は、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積をA1として出力するゲート68a、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積をB1として出力するゲート69a、並びに、ゲート68a及びゲート69a双方の出力A1とB1の論理和の反転値をX1として出力するNORゲート70aを有する。

【0102】第3の検出器7は、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積をA2として出力するゲート68b、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積をB2として出力するゲート69b、並びに、ゲート68b及びゲート69b双方の出力A2とB2の論理和の反転値をX2として出力するNORゲート70bを有する。第3の検出器7は更に、出力 $Y_i$ と出力 $Q_i$ の反転値との論理積をAiとして出力するゲート68i、出力 $Y_i$ の反転値と出力 $Q_i$ との論理積をBiとして出力するゲート69i、並びに、ゲート68i及びゲート69i双方の出力AiとBiの論理和の反転値をXiとして出力するNORゲート70iを有する。

【0103】上記構成の第3の検出器7では、静電エネルギーを回収すべきデータ電極を検出するために入力信号 $Q_i$ 、 $Y_i$ に対する出力A1~Aiを監視して、電位状

態が「Vdd」→「GND」に変化するデータ電極に対応する検出信号として $A_i = 1$ （白→黒の変化）となるデータ電極を検出する。一方、回収した静電エネルギーを供給すべきデータ電極を検出するために出力 $B_i \sim B_i$ を監視して、電位状態が「GND」→「Vdd」に変化するデータ電極に対応する検出信号として $B_i = 1$ （黒→白の変化）となるデータ電極を検出する。更に、電位状態が変化しないために静電エネルギーの回収も再利用も施さないデータ電極を検出するために出力 $X_i \sim X_i$ を監視して、電位状態が変化しないデータ電極に対応する検出信号として $X_i = 1$ （無変化）となるデータ電極を検出する。

【0104】また、第3の検出器7は、第2実施形態例と同様に、データ電極から静電エネルギーを回収する際には、検出信号 $A_i \sim A_i$ によってスイッチ24-1~24-i（図7）のオン/オフを制御し、データ電極に静電エネルギーを供給する際には、検出信号 $B_i \sim B_i$ によってスイッチ24-1~24-iのオン/オフを制御する。

【0105】第2のエンコーダ6は、上記検出結果の内の $A_i \sim A_i$ をバイナリ信号 $a_i \sim a_i$ に変換し、出力データ電極 $D_i \sim D_i$ の内で電位状態が「Vdd」→「GND」に変化するものの合計数を求める。この合計数に対応する静電容量は、データ電極と走査電極との交差容量成分 $C_s$ 、及びデータ電極と維持電極との交差容量成分 $C_c$ を、静電エネルギーを回収すべき全データ電極について合計したものに相当する。第2のエンコーダ6は、上記検出結果の内の $B_i \sim B_i$ をバイナリ信号 $b_i \sim b_i$ に変換し、データ電極 $D_i \sim D_i$ の内で電位状態が「GND」→「Vdd」に変化するものの合計数を求める。

【0106】次に、電位状態が変化するデータ電極に対して、このデータ電極に隣接するデータ電極の電位状態の変化を検出する動作について説明する。

【0107】図10は、第4の検出器8の論理回路構成の一例を示す回路図である。第4の検出器8は、注目するデータ電極が「Vdd」→「GND」に変化する際に、このデータ電極に隣接するデータ電極の電位状態の変化を検出する。第4の検出器8の出力 $E_{i,i-1}$ 、 $E_{i,i-1}$ 、及び $F_{i,i-1}$ 、 $F_{i,i-1}$ は、入力信号 $A_i = 1$ であるときのみ検出動作が可能な状態となる。

【0108】第4の検出器8は、注目するデータ電極の電位状態の変化を検出するためのANDゲート71a~74a及びORゲート75a、76aと、注目するデータ電極の一方の側に隣接するデータ電極の電位状態の変化を検出するためのANDゲート71b~74b及びORゲート75b、76bとを有する。第4の検出器8は更に、注目するデータ電極の他方の側に隣接するデータ電極の電位状態の変化を検出するためのANDゲート71c~74c及びORゲート75c、76cを有する。

【0109】上記構成の第4の検出器8では、注目するデータ電極 $D_i$ の両側に隣接するデータ電極 $D_{i-1}$ 及び $D_{i+1}$

10

20

30

40

50

$i-1$ の電位状態の変化を検出する。ここでは、説明を簡単化するために、一方の側に隣接するデータ電極の電位状態の変化の検出について説明する。

【0110】注目するデータ電極 $D_i$ の電位状態が「Vdd」→「GND」に変化するとき、第3の検出器7は、図9に示されるように $A_{i-1}=1$ （白→黒に変化）を出力する。隣接データ電極 $D_{i-1}$ における第3の検出器7の検出出力は、電位状態の変化パターンにより、「Vdd」→「GND」時には $A_{i-1}=1$ 、「GND」→「Vdd」時には $B_{i-1}=1$ 、無変化時は $X_{i-1}=1$ となる。隣接データ電極の電位状態がこれらの変化パターンとなったとき、このデータ電極とその一方の側に隣接するデータ電極との間の容量 $C_{ii}$ は、前述した変化パターン(a)～(c)の順に $C_{ii}=0, 2C_{ii}, C_{ii}$ となる。これらに対応する第4の検出器8の検出出力は、図10の論理回路より、同様に上記変化パターン(a)～(c)の順に $E_{i,i-1}/F_{i,i-1}=0/0, 1/1, 0/1$ となる。ここで、例えば $E_{i,i-1}/F_{i,i-1}=0/1$ の場合には、 $E_{i,i-1}$ が0、 $F_{i,i-1}$ が1であることを表す。

【0111】以上の検出動作は、隣接するデータ電極 $D_{i-1}$ との状態比較によるものであるが、他方の側に隣接するデータ電極 $D_{i+1}$ との比較においても同様に行うことができ、その検出結果は $E_{i,i+1}$ 及び $F_{i,i+1}$ として出力される。

【0112】以上のように、両側に隣接するデータ電極との電位状態の比較によって第4の検出器8から出力された各検出信号は、 $E_{i,i-1}$ （又は $E_{i,i+1}$ ）=1、及び、 $F_{i,i-1}$ （又は $F_{i,i+1}$ ）=1であるとき、夫々に $C_{ii}$ の大きさをもち隣接データ電極間の容量が存在することを示す。

【0113】第3のエンコーダ10は、上記検出信号を重み付けすることなく、バイナリ信号 $u_1 \sim u_i$ にエンコードして出力する。これにより、 $i$ 本のデータ電極の個々の電位状態変化を考慮した場合に、エネルギーを回収すべきデータ電極とそれに隣接するデータ電極との間の容量 $C_{ii}$ の合計値を求めることができる。

【0114】以上説明した第2のエンコーダ6のバイナリ出力 $a_1 \sim a_i$ 、及び第3のエンコーダ10のバイナリ出力 $u_1 \sim u_i$ を、第1の加算器12に投入して重み付け加算する。このときの重み付け係数としては、使用するPDPパネルのデータ電極がもつ容量成分である走査電極との交差容量成分 $C_s$ 、維持電極との交差容量成分 $C_c$ 、及び、隣接するデータ電極相互の容量 $C_{ii}$ を用いる。従って、第1の加算器12の出力( $Op1$ )は $Op1 = \{a_1 \dots a_i\} \cdot (C_s + C_c) + \{u_1 \dots u_i\} \cdot C_{ii}$

となる。第1の加算器12の出力は、回収用可変インダクタ26の内部回路にあるスイッチ43-1～43-mの対応する制御端子に投入される（図12）。

【0115】以上は、注目するデータ電極が「Vdd」

→「GND」に変化する際の可変インダクタンスの設定動作である。一方、注目するデータ電極が「GND」→「Vdd」に変化する際の動作についてもほぼ同様に動作する。

【0116】図11は、第5の検出器9の論理回路構成の一例を示す回路図である。第5の検出器9は、注目するデータ電極が「GND」→「Vdd」に変化する際に、このデータ電極に隣接するデータ電極の電位状態の変化を検出する。第5の検出器9の出力 $G_{i,i-1}$ 、 $G_{i,i+1}$ 、及び $H_{i,i-1}$ 、 $H_{i,i+1}$ は、入力信号 $B_i=1$ であるときにのみ検出動作が可能な状態となる。

【0117】第5の検出器9は、注目するデータ電極の電位状態の変化を検出するためのANDゲート77a～80a及びORゲート81a、82aと、注目するデータ電極の一方の側に隣接するデータ電極の電位状態の変化を検出するためのANDゲート77b～80b及びORゲート81b、82bとを有する。第5の検出器9は更に、注目するデータ電極の他方の側に隣接するデータ電極の電位状態の変化を検出するためのANDゲート77c～80c及びORゲート81c、82cを有する。

【0118】注目するデータ電極 $D_i$ の電位状態が「GND」→「Vdd」に変化するとき、第3の検出器7は、図9に示すように $B_i=1$ （黒→白に変化）を出力する。隣接するデータ電極 $D_{i-1}$ における第3の検出器7の検出出力は、電位状態の変化パターンにより、「Vdd」→「GND」時には $A_{i-1}=1$ 、「GND」→「Vdd」時には $B_{i-1}=1$ 、無変化時には $X_{i-1}=1$ となる。隣接データ電極の電位状態がこのような変化パターンをとったとき、一方の側に隣接するデータ電極との間の容量 $C_{ii}$ は、前述の変化パターン(a)～(c)の順に $C_{ii}=2C_{ii}, 0, C_{ii}$ となる。これらに対応する第5の検出器9の検出出力は、図11の論理回路より、前述の変化パターン(a)～(c)の順に $G_{i,i-1}/H_{i,i-1}=1/1, 0/0, 0/1$ となる。

【0119】以上のように、両側に隣接するデータ電極との電位状態の比較によって第5の検出器9から出力された各検出信号は、 $G_{i,i-1}$ （又は $G_{i,i+1}$ ）=1、 $H_{i,i-1}$ （又は $H_{i,i+1}$ ）=1であるとき、夫々に $C_{ii}$ の大きさを有する隣接データ電極間の容量が存在することを示す。第4のエンコーダ11は、上記検出信号を重み付けすることなく、バイナリ信号 $v_1 \sim v_i$ にエンコードして出力する。

【0120】以上説明した第2のエンコーダ6のバイナリ出力 $b_1 \sim b_i$ 、及び、第4のエンコーダ11のバイナリ出力 $v_1 \sim v_i$ を、第2の加算器13に投入して重み付け加算する。このとき、第1の加算器12の出力( $Op2$ )は $Op2 = \{b_1 \dots b_i\} \cdot (C_s + C_c) + \{v_1 \dots v_i\} \cdot C_{ii}$

となる。第2の加算器13の出力は、供給用可変インダ

クタ27の内部回路にあるスイッチ45-1~45-mの対応する制御端子に入力される(図13)。

【0121】本実施形態例では、次ラインの走査電極に選択状態が移行する際に、注目するデータ電極の電位状態変化の検出に加えて、このデータ電極に隣接するデータ電極の電位状態変化をも検出することができる。更に、これらの検出結果を総合した上で、エネルギー回収対象となる全てのデータ電極の容量値を求め、その容量値に従って、可変インダクタのインダクタンス値を補償することができる。これにより、PDPの走査電極1ラ

イン毎の画像表示パターンが変化した場合でも、エネルギー回収効率を向上させることができる。

【0122】本実施形態例では、2つの可変インダクタ26、27を用いた回収回路の例を示したが、本実施形態例を、第1実施形態例における1つの可変インダクタ18を用いた回収回路に適用することも可能である。その場合には、図10の第4の検出器8と、図11の第5の検出器9双方の検出出力部に、図3で説明したような回収/再利用切換機能を付加すれば良い。

【0123】以上、本発明をその好適な実施形態例に基づいて説明したが、本発明のプラズマディスプレイパネルの駆動装置及び駆動方法は、上記実施形態例の構成にのみ限定されるものではなく、上記実施形態例の構成から種々の修正及び変更を施したプラズマディスプレイパネルの駆動装置及び駆動方法も、本発明の範囲に含まれる。

【0124】

【発明の効果】以上説明したように、本発明のプラズマディスプレイパネルの駆動装置及び駆動方法によると、複数のスイッチによって、蓄積されるエネルギーが変化

【図面の簡単な説明】

【図1】本発明の第1実施形態例におけるディスプレイ駆動回路を示す回路図である。

【図2】第1実施形態例における駆動制御回路を示すブロック図である。

【図3】第1実施形態例における第1の検出器を示す構成図である。

【図4】本発明の第2実施形態例におけるディスプレイ駆動回路を示す回路図である。

【図5】第2実施形態例における駆動制御回路を示すブ

ロック図である。

【図6】第2実施形態例における第2の検出器を示す構成図である。

【図7】本発明の第3実施形態例におけるディスプレイ駆動回路を示す回路図である。

【図8】第3実施形態例における駆動制御回路を示すブロック図である。

【図9】第3実施形態例における第3の検出器を示す構成図である。

【図10】第3実施形態例における第4の検出器を示す構成図である。

【図11】第3実施形態例における第5の検出器を示す構成図である。

【図12】可変インダクタの構成例を示す回路図である。

【図13】可変インダクタの別の構成例を示す回路図である。

【図14】従来の交流駆動型PDPのパネル及びその駆動回路部分の構成を示したブロック図である。

【図15】従来のPDP各部の1サブフィールド期間における駆動波形図である。

【図16】従来のデータパルス信号の波形を示すタイミングチャートである。

【図17】従来のディスプレイ駆動回路を示す回路図である。

【図18】従来のディスプレイ駆動回路における負荷エネルギーの回収動作時の波形図である。

【図19】従来のディスプレイ駆動回路を示す回路図である。

【図20】従来のディスプレイ駆動回路における駆動制御回路の内部構成を示すブロック図である。

【図21】従来の可変インダクタの一構成を示す回路図である。

【図22】マトリクス状に配列された従来のPDPにおける各電極間の容量を表した等価回路図である。

【図23】従来のPDPの表示パターンを説明するための模式図である。

【符号の説明】

1: シフトレジスタ

2: ラッチ

3: 第1の検出器

4: 第1のエンコーダ

5: 第2の検出器

6: 第2のエンコーダ

7: 第3の検出器

8: 第4の検出器

9: 第5の検出器

10: 第3のエンコーダ

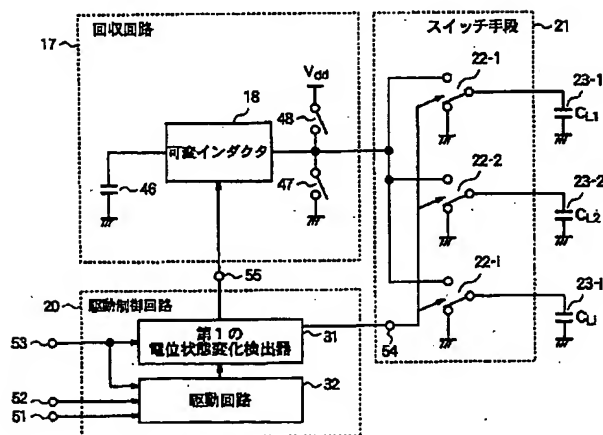
11: 第4のエンコーダ

12: 第1の加算器

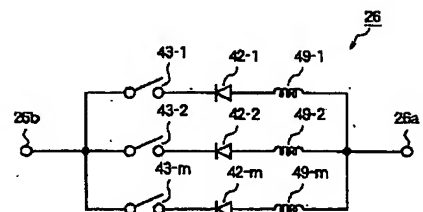
13: 第2の加算器  
 16: 駆動制御回路  
 17: 回収回路  
 18: 可変インダクタ  
 19、20: 駆動制御回路  
 21: スイッチ手段  
 22-1、22-2、22-i: スイッチ  
 23、23-1、23-2、23-i: 負荷容量  
 24-1、24-2、24-i、25-1、25-2、25-i: スイッチ  
 26: 回収用可変インダクタ  
 27: 供給用可変インダクタ  
 31: 第1の電位状態変化検出器  
 32: 駆動回路  
 33: 第2の電位状態変化検出器  
 34: 第3の電位状態変化検出器  
 35: 隣接電位状態変化検出器  
 41、41-1、41-2、41-m: インダクタ  
 42、42-1、42-2、42-m: ダイオード  
 43、43-1、43-2、43-m: スイッチ  
 44、44-1、44-2、44-m: ダイオード  
 45、45-1、45-2、45-m: スイッチ  
 46: 回収/供給用キャパシタ  
 47、48: スイッチ  
 49-1、49-2、49-m: インダクタ  
 50-1、50-2、50-m: インダクタ  
 51、52、53、61: 入力端子  
 54、55、56、57、58: 出力端子

\* 62a、62b、62i、63a、63b、63i: ゲート  
 64a、64b、64i、65a、65b、65i: ゲート  
 66a、66b、66i、67a、67b、67i: ゲート  
 68a、68b、68i: ゲート  
 69a、69b、69i: ゲート  
 70a、70b、70i: NORゲート  
 71a、71b、71c: ANDゲート  
 72a、72b、72c: ANDゲート  
 73a、73b、73c: ANDゲート  
 74a、74b、74c: ANDゲート  
 75a、75b、75c: ORゲート  
 76a、76b、76c: ORゲート  
 77a、77b、77c: ANDゲート  
 78a、78b、78c: ANDゲート  
 79a、79b、79c: ANDゲート  
 80a、80b、80c: ANDゲート  
 81a、81b、81c: ORゲート  
 82a、82b、82c: ORゲート  
 101: PDPパネル  
 102: データ電極  
 103: 走査電極  
 104: 維持電極  
 105-1、105-k: データドライバ  
 106-1、106-L: 走査ドライバ  
 \* 107: 維持パルス発生器

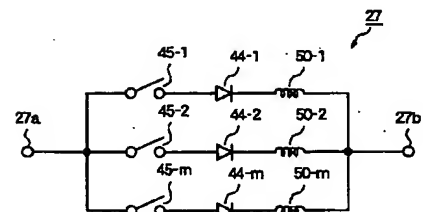
【図1】



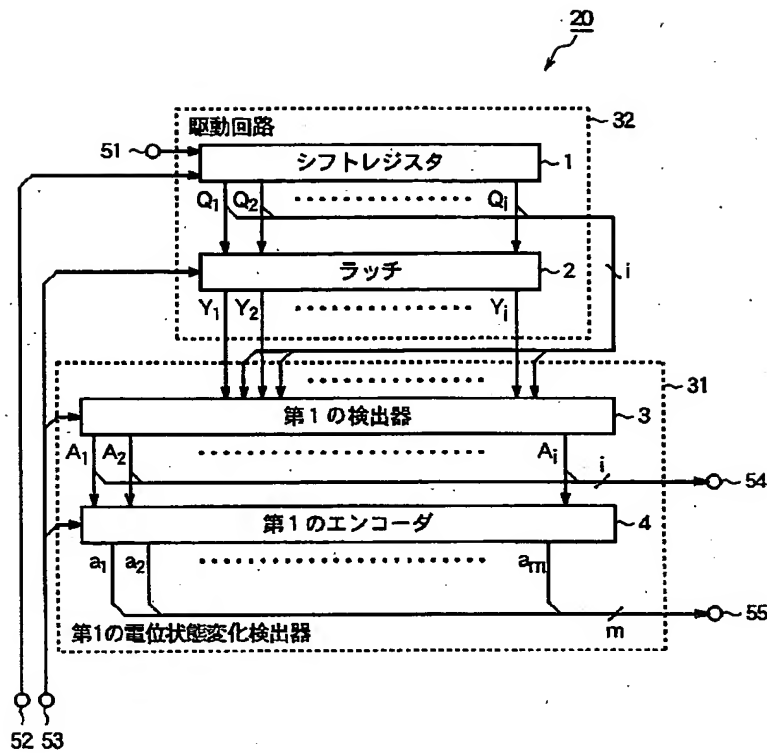
【図12】



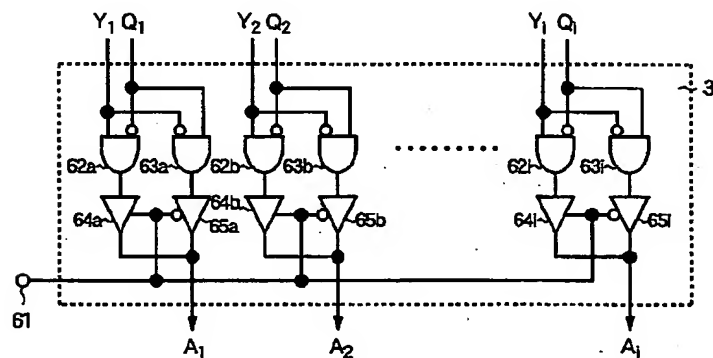
【図13】



【図2】



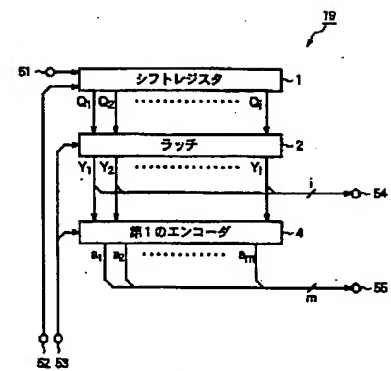
【図3】



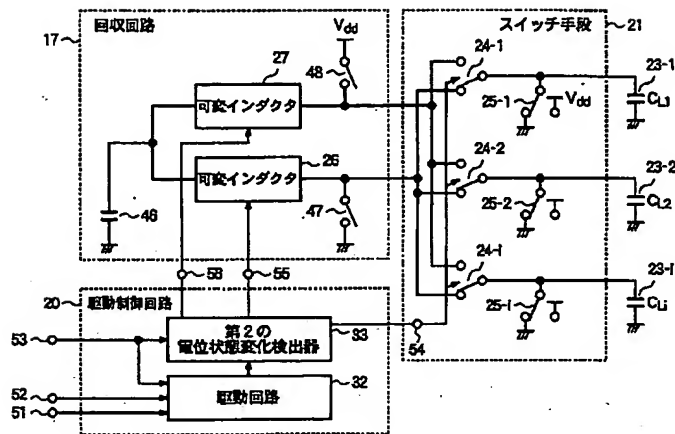
$$\begin{aligned} \text{回収時 } A_i &= Y_i \cdot \overline{Q_i} \\ \text{再利用時 } A_i &= \overline{Y_i} \cdot Q_i \end{aligned}$$

	$Y_i$	$Q_i$	$A_i$	
			(回収時)	(再利用時)
無変化	0	0	0	0
黒→白	0	1	0	1
白→黒	1	0	1	0
無変化	1	1	0	0

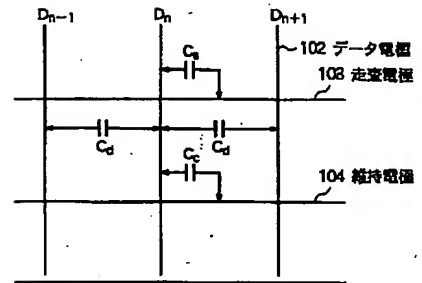
【図20】



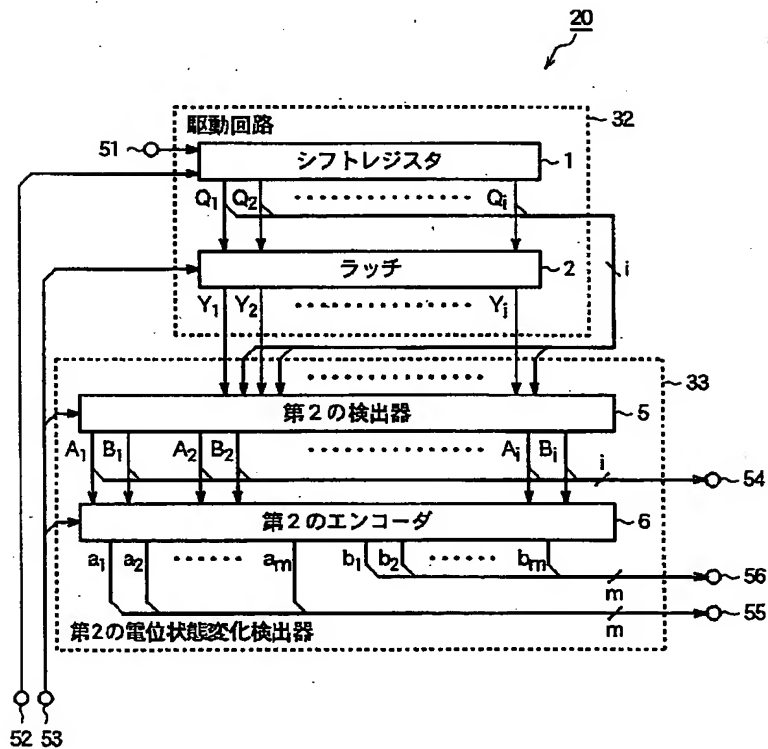
【図4】



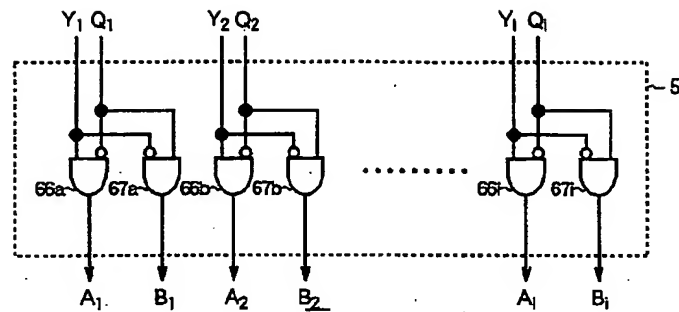
【図22】



【図5】



【図6】

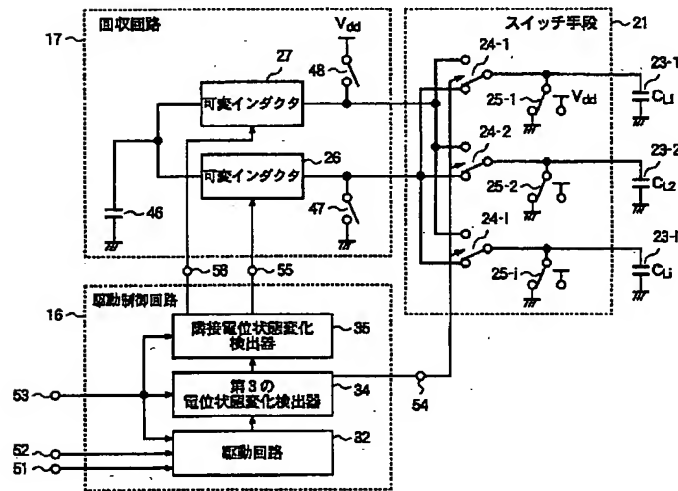


$$A_i = Y_i \cdot Q_i$$

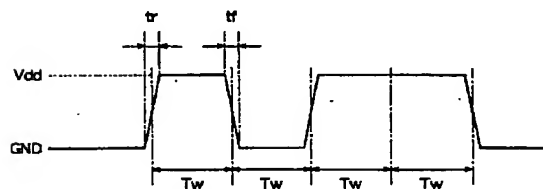
$$B_i = \overline{Y_i} \cdot Q_i$$

	$Y_i$	$Q_i$	$A_i$	$B_i$
無変化	0	0	0	0
黒→白	0	1	0	1
白→黒	1	0	1	0
無変化	1	1	0	0

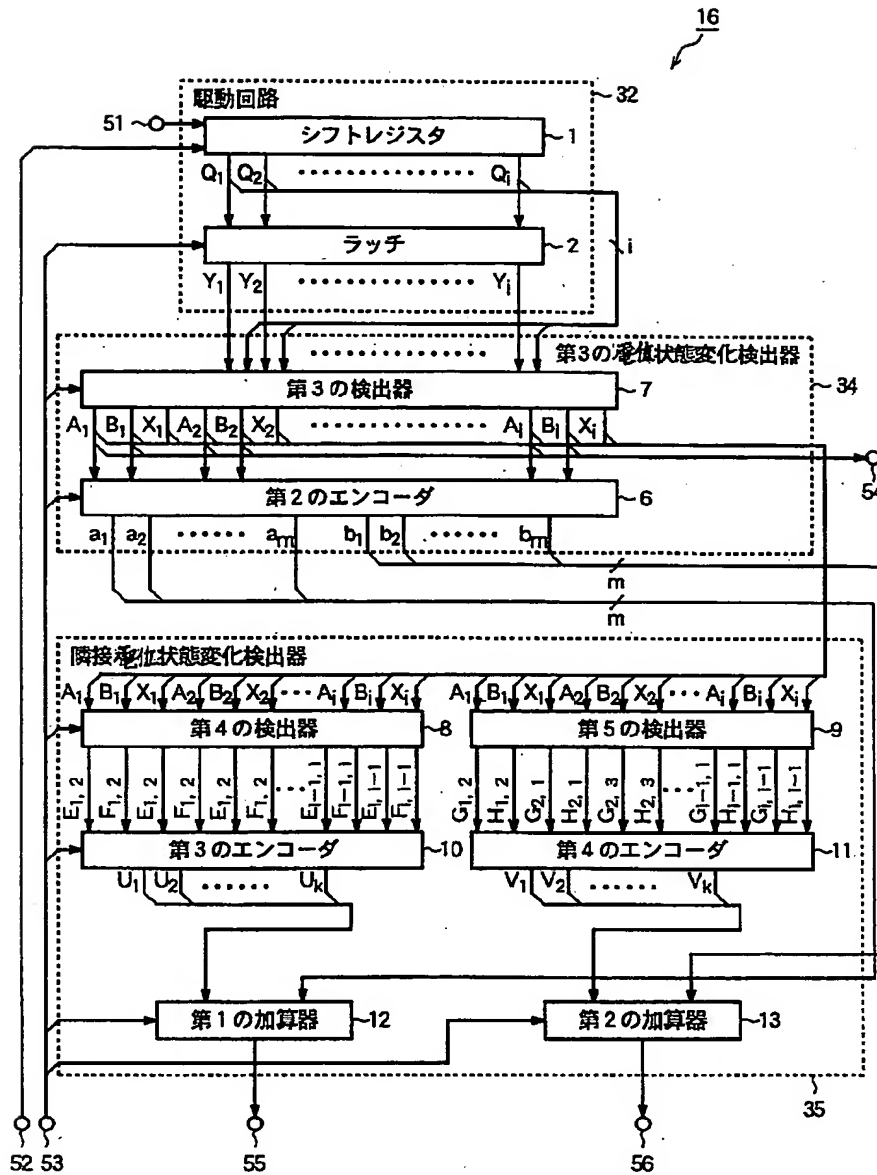
【図7】



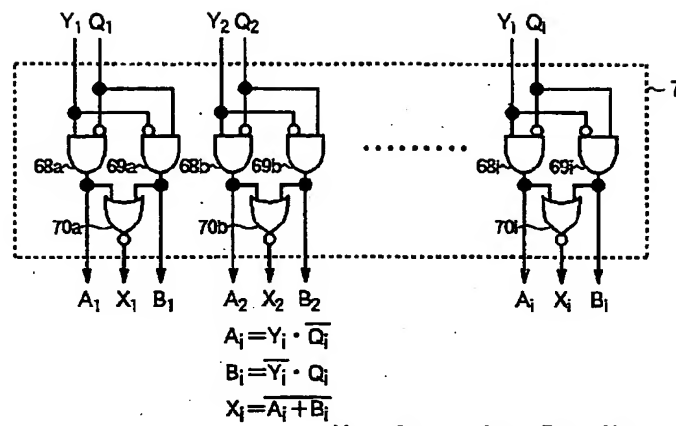
【図16】



【図8】



【図9】



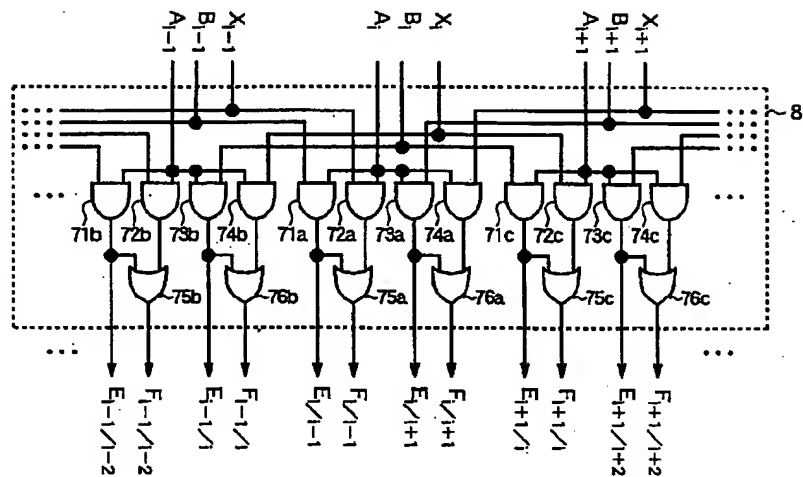
$$A_i = Y_i \cdot \overline{Q_i}$$

$$B_i = \overline{Y_i} \cdot Q_i$$

$$X_i = A_i + B_i$$

	$Y_i$	$Q_i$	$A_i$	$B_i$	$X_i$
無変化	0	0	0	0	1
黒→白	0	1	0	1	0
白→黒	1	0	1	0	0
無変化	1	1	0	0	1

【図10】



$$E_{i-1} = A_i \cdot B_{i-1}$$

$$(E_{i+1} = A_i \cdot B_{i+1})$$

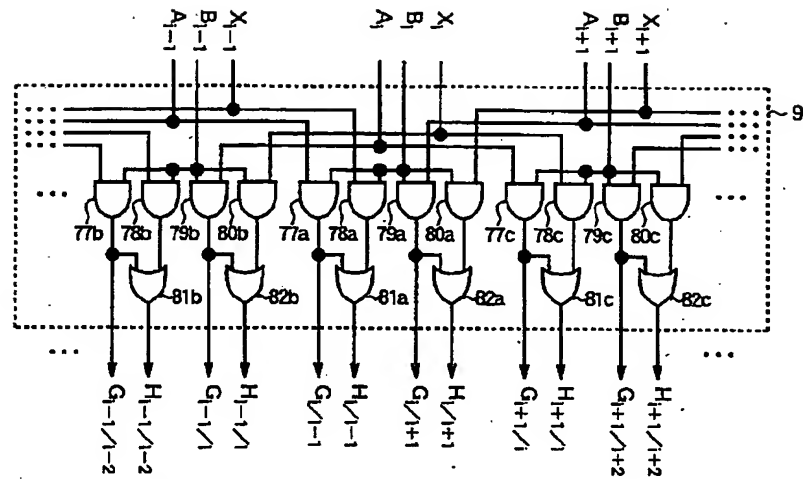
$$F_{i-1} = A_i \cdot X_{i-1} + E_{i-1}$$

$$(F_{i+1} = A_i \cdot X_{i+1} + E_{i+1})$$

( $A_{i+1}$ ) ( $B_{i+1}$ ) ( $X_{i+1}$ ) 片隣り

$A_i$	$A_{i-1}$	$B_{i-1}$	$X_{i-1}$	$C_{da}$	$E_{i-1}$	$F_{i-1}$
1	0	0	1	$C_d$	0	1
1	0	1	0	$2C_d$	1	1
1	1	0	0	0	0	0
1	0	0	1	$C_d$	0	1

【図11】



$$G_{i/1-1} = B_i \cdot A_{i-1}$$

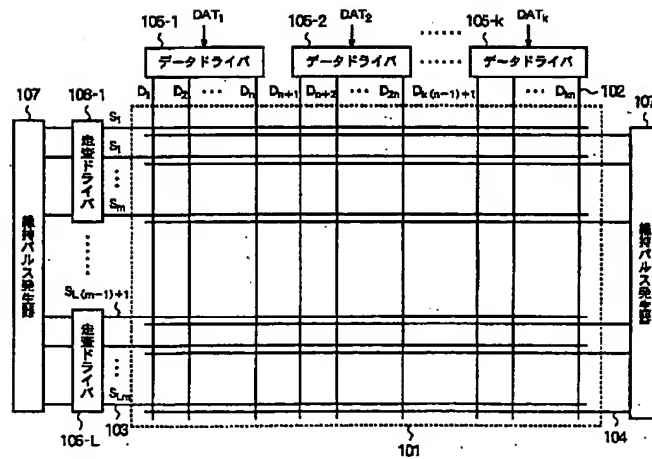
$$(G_{i/1+1} = B_i \cdot A_{i+1})$$

$$H_{i/1-1} = B_i \cdot X_{i-1} + G_{i/1-1} \quad (H_{i/1+1} = B_i \cdot X_{i+1} + G_{i/1+1})$$

(A<sub>i+1</sub>) (B<sub>i+1</sub>) (X<sub>i+1</sub>) 片隣り

B <sub>i</sub>	A <sub>i-1</sub>	B <sub>i-1</sub>	X <sub>i-1</sub>	C <sub>da</sub>	G <sub>i/1-1</sub>	H <sub>i/1-1</sub>
1	0	0	1	C <sub>d</sub>	0	1
1	0	1	0	0	0	0
1	1	0	0	2C <sub>d</sub>	1	1
1	0	0	1	C <sub>d</sub>	0	1

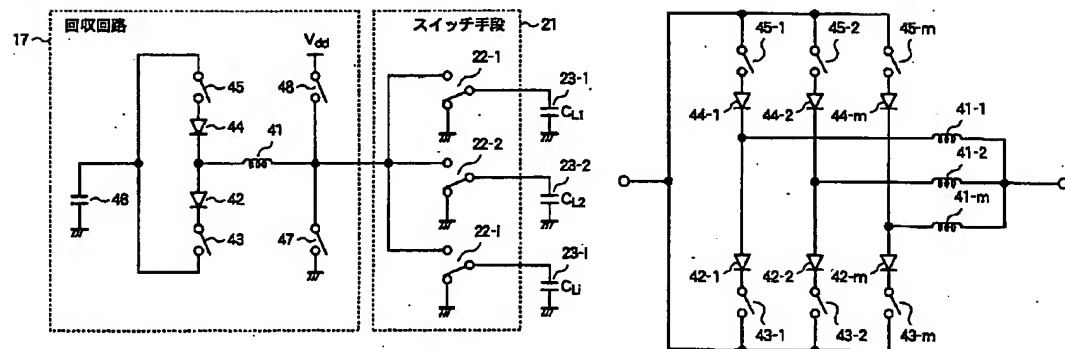
【図14】



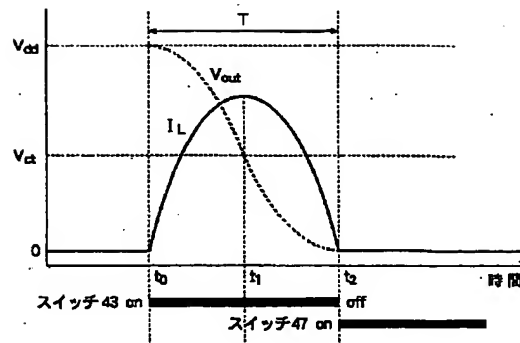
The diagram illustrates the timing relationships for a 1-subfield period. The horizontal axis represents time, divided into three main phases: 予備放電期間 (Pre-charge period), 書込期間 (Write-in period), and 維持期間 (Hold period). The vertical axis shows five different electrode voltages:

- (A) 維持電極駆動電圧  $V_c$ : Shows a pre-charge pulse ( $-V_p$ ) during the pre-charge period, a pre-charge elimination pulse ( $-V_b$ ) at the start of the write-in period, and a hold pulse ( $-V_s$ ) during the hold period.
- (B) 走査電極  $S_1$ : Shows a pre-charge pulse ( $-V_p$ ) during the pre-charge period, a pre-charge elimination pulse ( $-V_b$ ) at the start of the write-in period, and a hold pulse ( $-V_s$ ) during the hold period.
- (C) 走査電極  $S_2$ : Shows a pre-charge pulse ( $-V_p$ ) during the pre-charge period, a pre-charge elimination pulse ( $-V_b$ ) at the start of the write-in period, and a hold pulse ( $-V_s$ ) during the hold period.
- (D) 走査電極  $S_{LM}$ : Shows a pre-charge pulse ( $-V_p$ ) during the pre-charge period, a pre-charge elimination pulse ( $-V_b$ ) at the start of the write-in period, and a hold pulse ( $-V_s$ ) during the hold period.
- (E) データ電極  $D_1 \sim D_{kn}$ : Shows a data pulse ( $V_{dd}$ ) during the write-in period, with a delay time  $T_d$  between the start of the data pulse and the start of the hold period.

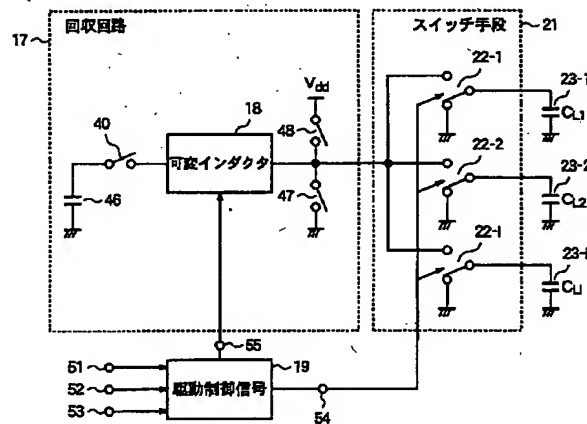
【圖21】



【図18】



【図19】



【図23】

